

# 多段論理回路の再構成装置及び再構成方法、並びに論理回路修正装置

- 少ないメモリ容量で、アドレス生成回路を実現可能
- 論理回路修正装置の実装面積を縮小でき、省電力化も可能

## ①技術分野

論理関数の関数分解を繰り返して論理設計される多段論理回路の再構成を行う再構成装置と、それを用いた論理回路修正装置に関する技術です。

## ②発明の背景と目的

- ・ 論理回路は、専用のLSI (ASIC: Application Specific Integrated Circuit) を用いて実現することが多いが、ASICの開発は高価であり、修正も費用や時間がかかります。修正の容易なFPGA (Field Programmable Gate Array) 等も存在しますが、消費電力や性能の点で問題があります。
- ・ 目的は、LUT (Look up table) カスケード論理回路と類似のLUT型の再構成可能な論理回路を用いて、回路の論理構成の変更の自由度を維持し、従来に比べて実装面積を縮小することができ、消費電力も小さい論理回路修正装置を提供することと、論理変更が可能で且つ小実装面積・低消費電力の多段論理回路の再構成を簡易に行うことが可能な多段論理回路の再構成装置を提供することです。

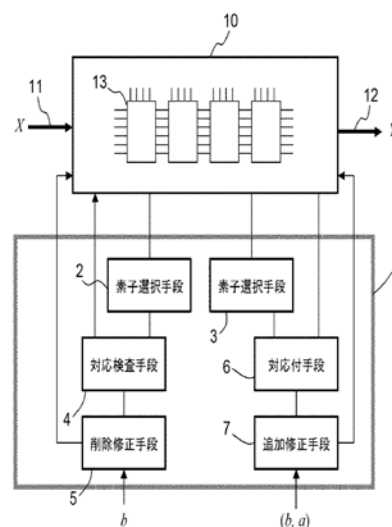
## ③発明の構成と効果

### 構成

例えば、入力ベクトル  $b$  に対する目的論理関数  $F(X)$  の出力ベクトル  $F(b)$  を削除する論理変更に伴い多段論理回路を再構成する場合、未修正の前記  $p$   $q$  素子のうち出力側に最も近い  $p$   $q$  素子  $E_0$  から順次選択し、以前に選択された  $p$   $q$  素子よりも入力側の  $p$   $q$  素子のうち、入力ベクトル  $b$  に対する出力値が、当該入力ベクトル  $b$  以外の入力変数  $X$  に対する出力値にもなっているものはすべて修正済みとみなして選択しません。選択された入力ベクトル  $b$  に対する出力値を無効値に書き換えます。

### 効果

少ないメモリ容量でアドレス生成回路を実現可能です。論理回路修正装置の実装面積を小さくでき、省電力化も図られます。又、アドレス生成回路の論理変更も可能であり、要求に応じて主論理回路の出力を自在に修正できます。



多段論理回路の再構成装置図