

符号変換回路及び並列信号変換送受信システム

●信号数の削減、底面積化が可能

①技術分野

本発明は、1ビットのみの冗長ビットの追加で、移動平均偏差が入力ビット数の過半数となるように動作を行う符号変換回路に関するものである。

②発明の背景と目的

従来の符号変換回路では、8ビットにつき2ビットの冗長信号が必要である。それにともない、従来の符号変換回路で構成した信号変換送受信システムでは、バッファの数が増加してしまい、面積が大きくなるという問題を有していた。

本発明は、入力信号のビット数に依存することなく、1ビットのみの冗長信号の追加で入力信号と出力信号の移動平均偏差の安定化を実現し、出力信号のスイッチング数の遷移、中間電位の安定化を図る。

③発明の構成と効果

構成

本発明は、本発明は移動平均偏差調整回と移動平均偏差状態確認回路によって、移動平均偏差状態の確認を行い、移動平均偏差が入力信号のNビットの過半数となるように動作を行う。

効果

本発明によれば、複数の冗長ビットの追加を行うことなく、安定した移動平均偏差を実現し、信号数の削減、底面積化が可能となる。

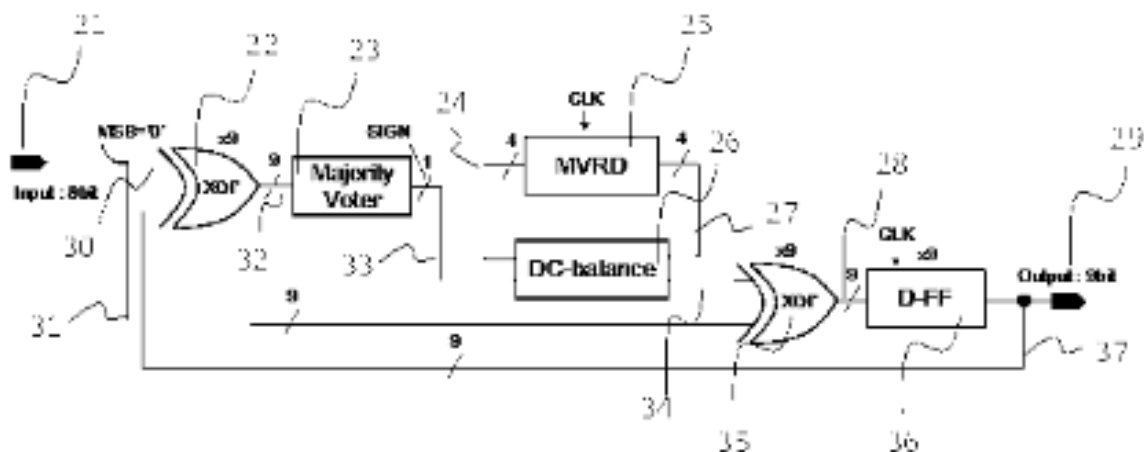


図 1

